

Rec'd PCT/PTO 21 SEP 2004

10/508795

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年10月2日 (02.10.2003)

PCT

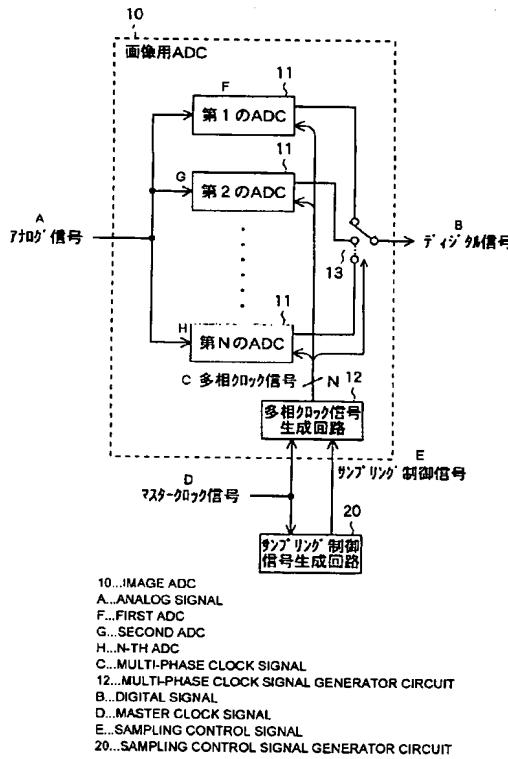
(10) 国際公開番号
WO 03/081781 A1

(51) 国際特許分類: H03M 1/06, 1/12, H04N 5/14
(72) 発明者: および
(21) 国際出願番号: PCT/JP03/03240
(75) 発明者/出願人(米国についてのみ): 辻田 達男 (TSU-JITA, Tatsuo) [JP/JP]; 〒103-0023 東京都 中央区 日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内 Tokyo (JP).
(22) 国際出願日: 2003年3月18日 (18.03.2003)
(74) 代理人: 大島 由美子 (OSHIMA, Yumiko); 〒169-0075 東京都 新宿区 高田馬場1-20-10-203 進歩国際特許事務所 Tokyo (JP).
(25) 国際出願の言語: 日本語
(76) 指定国(国内): JP, US.
(26) 国際公開の言語: 日本語
(77) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
(30) 優先権データ:
特願2002-079960 2002年3月22日 (22.03.2002) JP
(71) 出願人(米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒103-0023 東京都 中央区 日本橋本町三丁目3番6号 Tokyo (JP).
(78) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

[統葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: A semiconductor integrated circuit includes a plurality of interleave-operating parallel ADCs (analog to digital converters) or an image ADC used by successively switching between a plurality of circuit elements, wherein for input of an image signal of any specification, output signals of the image ADC are averaged to reduce irregularities on the screen. This semiconductor integrated circuit includes a plurality of analog/digital converter circuits (11) for performing parallel operation for successively converting an analog image signal into a digital image signal, a multi-phase clock signal generator circuit (12) for generating a multi-phase clock signal used for periodically operating the plurality of analog/digital converter circuits (11) in a certain order, and a control circuit (20) for controlling the multi-phase clock signal generator circuit (12) so as to modify the period or order for operating the plurality of analog/digital converter circuits (11).

(57) 要約: 様数のADCをインターリーブ動作させて並列化し、又は、複数の回路要素を順次切り換えて用いる画像用ADCを含み、いかなる仕様の画像信号が入力されても、画像用ADCの出力信号を平均化して画面上のムラが改善される半導体集積回路。この半導体集積回路は、アナログ画像信号をデジタル画像信号に順次変換するために並列動作を行う複数のアナログ/デジタル変換回路(11)と、複数のアナログ/デジタル変換回路(11)を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路(12)と、複数のアナログ/デジタル変換回路(11)を動作させる周期又は順序を変更するように多相クロック信号生成回路(12)を制御する制御回路(20)とを含む。

WO 03/081781 A1

WO 03/081781 A1



添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体集積回路

5 技術分野

本発明は、一般に半導体集積回路に関し、特に、アナログ画像信号をデジタル画像信号に変換する画像用 A D C (Analog to Digital Converter: アナログ/デジタル変換回路) を含む半導体集積回路に関する。

10

背景技術

近年においては、LCD (Liquid Crystal Display: 液晶ディスプレイ)、又は、PDP (Plasma Display Panel: プラズマ・ディスプレイ・パネル) 等のデジタル画像表示装置の解像度が年々向上している。

15 それに伴い、アナログ画像信号をデジタル画像信号に変換する L S I (Large Scale Integration: 大規模集積回路) の動作速度も高速になって来ている。通常、L S I を高速で動作させるためには、浮遊容量が小さく電流駆動力の高い、より微細なトランジスタを用いて回路を設計する。また、容易に高速化することができない部分に関しては、同一機能を有する複数の回路を並列に動作させて実質的に高速化させるといった手法が用いられる。

20

デジタル画像表示装置にデジタル画像信号を供給する画像用 A D C においても同様に、より進んだプロセステクノロジーを用いての広帯域化や、インターリーブ動作による並列化が行われている。しかしながら、微細加工技術の限界から、並列動作を行う複数の A D C において特性のばらつきが存在し、微分直線性誤差や積分直線性誤差といった特性

を劣化させてしまう。

図12に、従来の画像用ADCの構成例を示す。この画像用ADC10は、並列動作を行う第1～第NのADC111と、これらのADC111に多相クロック信号を供給する多相クロック信号生成回路112と、これらのADC111の出力信号の内から1つの出力信号を選択する選択回路113とを有している。第1～第NのADC111は、多相クロック信号生成回路112から供給される多相クロック信号に同期して、順次、アナログ信号をディジタル信号に変換する。ここで、Nは、ADCの並列度を示している。

10 一般に、画像信号においては、図13に示すように、画面左上から水平方向に1ライン分の画素（ピクセル）情報が連続し、次に、垂直方向に1画素分下がって再び画面左から水平方向に1ライン分の画素情報が連続する。これを繰り返すことにより、1フレーム分の画像信号が構成される。1ライン中の画素数と1フレーム中のライン数との積から、1
15 フレーム中の画素数、即ち、1フレーム中のサンプリング回数Mを求めることができる。

ところで、1フレーム中のサンプリング回数MがADCの並列度Nで割り切れる場合には、フレーム（I）において、第1のADCがP（I, 1）を、第2のADCがP（I, 2）を、第NのADCがP（I, N）
20 をサンプリングしたとすると、フレーム（I+1）においても同様に、第1のADCがP（I+1, 1）を、第2のADCがP（I+1, 2）を、第NのADCがP（I+1, N）をサンプリングすることになる。
ここで、P（I, J）はI番目のフレームにおけるJ番目の画素を示す。
このような場合において、第1～第NのADCの特性がばらついている
25 と、等しいアナログ信号を入力しても出力ディジタル信号に一定パターンの誤差を生じるので、画面上にムラが現れてしまう。

また、1つのADCを用いてアナログ画像信号をディジタル画像信号に変換する際に、アナログ/ディジタル変換特性に影響を与える抵抗やコンデンサ等の回路素子のばらつきの影響を抑えるために、複数の回路素子を順次切り換えること（スワッピング）によって出力結果を平均化することも行われている。そのような場合においても、連続する複数のフレーム間の画素について、このADCが複数の回路素子を同一の周期又は同一の順序で配列すると、画面上にムラが現れてしまう。

こうしたばらつきによる画面上のムラを抑えるために、画像用ADCの出力信号をデジタル的に補正することも考えられる。しかしながら、
10 デジタル的な補正を行うためには、複雑な回路と処理が必要になってしまう。

発明の開示

そこで、上記の点に鑑み、本発明の目的は、複数のADCをインター
15 リープ動作させて並列化し、又は、複数の回路素子を順次切り換えて用いる画像用ADCを含む半導体集積回路において、画像用ADCの出力信号を平均化して画面上のムラを改善することである。

以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、アナログ画像信号をディジタル画像信号に順次変換するために並
20 列動作を行う複数のアナログ/ディジタル変換回路と、複数のアナログ/ディジタル変換回路を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路と、複数のアナログ/ディジタル変換回路を動作させる周期又は順序を変更するように多相クロック信号生成回路を制御する制御回路とを具備する。

25 また、本発明の第2の観点に係る半導体集積回路は、複数の回路素子を順次切り換えて用いてアナログ画像信号をディジタル画像信号に変換

するアナログ/デジタル変換回路と、アナログ/デジタル変換回路が複数の回路素子を周期的にある順序で配列するようにアナログ/デジタル変換回路を制御する第1の制御回路と、アナログ/デジタル変換回路が複数の回路素子を配列する周期又は順序を変更するように第1
5 の制御回路を制御する第2の制御回路とを具備する。

上記のように構成した本発明によれば、複数のアナログ/デジタル変換回路を並列動作させる場合に、これらのアナログ/デジタル変換回路を動作させる周期又は順序を変更したり、1つのアナログ/デジタル変換回路において複数の回路素子を順次切り換えて用いる場合に、
10 これらの回路素子を配列する周期又は順序を変更することにより、いかなる仕様の画像信号が入力されても、画像用ADCの出力信号を平均化して画面上のムラを改善することができる。

図面の簡単な説明

15 本発明の利点及び特徴は、以下の詳細な説明と図面とを関連させて考察すれば明らかになる。これらの図面において、同じ参照番号は同じ構成要素を指している。

図1は、本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図である。

20 図2は、図1に示す画像用ADCの各部の信号波形を示すタイミングチャートである。

図3は、図1に示す画像用ADCの各部の信号波形を示すもう1つのタイミングチャートである。

25 図4は、本発明の第1の実施形態に係る半導体集積回路の第1の変形例の構成を示すブロック図である。

図5は、図4に示す画像用ADCの各部の信号波形を示すタイミング

チャートである。

図6は、本発明の第1の実施形態に係る半導体集積回路の第2の変形例の構成を示すブロック図である。

図7は、図6に示す画像用ADCの各部の信号波形を示すタイミングチャートである。

図8は、本発明の第2の実施形態に係る半導体集積回路の構成を示すブロック図である。

図9は、図8に示す画像用ADCの各部の信号波形を示すタイミングチャートである。

10 図10は、本発明の第3の実施形態に係る半導体集積回路の原理を示す回路図である。

図11は、本発明の第3の実施形態に係る半導体集積回路の構成を示すブロック図である。

図12は、従来の画像用ADCの構成を示すブロック図である。

15 図13は、フレーム上の画素の配置を示す図である。

発明を実施するための最良の形態

まず、本発明の第1の実施形態について説明する。

図1は、本発明の第1の実施形態に係る半導体集積回路の構成を示すブロック図である。図1に示すように、この半導体集積回路は、画像用ADC10と、サンプリング制御信号生成回路20とを含んでいる。画像用ADC10は、並列動作する第1～第NのADC11と、これらのADC11を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路12と、これらのADC11の出力信号の内から1つの出力信号を選択する選択回路13とを有している。

サンプリング制御信号生成回路 20 は、マスタークロック信号に基づいて、サンプリング制御信号を出力する。画像用 ADC 10 において、多相クロック信号生成回路 12 は、マスタークロック信号と、サンプリング制御信号生成回路 20 から供給されるサンプリング制御信号とに基づいて多相クロック信号を生成し、これらの多相クロック信号をそれぞれの ADC 11 に供給する。第 1 ~ 第 N の ADC 11 は、多相クロック信号生成回路 12 が生成した多相クロック信号に同期して、入力されたアナログ信号をデジタル信号に変換して出力する。選択回路 13 は、これらの ADC 11 が output するデジタル信号の内から、多相クロック信号に従って 1 つのデジタル信号を選択して出力する。

図 2 は、図 1 に示す画像用 ADC 10 において N = 3 とした場合における各部の信号波形を示すタイミングチャートである。多相クロック信号生成回路 12 は、マスタークロック信号及びサンプリング制御信号に基づいて、第 1 の ADC、第 2 の ADC、第 3 の ADC を巡回的に動作させるために用いる多相クロック信号 ϕ 1、 ϕ 2、 ϕ 3 を生成する。

ここで、1 フレーム中のサンプリング回数 $M = (1 \text{ ライン中の画素数}) \times (1 \text{ フレーム中のライン数})$ が 3 の倍数であるならば、各 ADC は、複数のフレーム間において画面上の同一の画素をサンプリングすることになり、各 ADC のばらつきに対応するムラが画面上に現れることになる。これを防止するため、本実施形態においては、例えば画像信号のプランギング期間において複数の ADC によるサンプリングのタイミングをずらすことにより、いかなる仕様の画像信号が入力されても画面上のムラを解消できるようにしている。

図 1 に示すように、本実施形態に係る半導体集積回路は、所定の状態においてサンプリングのタイミングをずらすために用いるサンプリング制御信号を生成するサンプリング制御信号生成回路 20 を含んでいる。

多相クロック信号生成回路 12 は、このサンプリング制御信号に基づいて、生成する多相クロック信号の位相をずらす。

多相クロック信号生成回路 12 は、図 2 に示すように、サンプリング制御信号がハイレベルになると、生成する多相クロック信号の位相を少
5 なくともマスタークロック信号 CK の 1 パルス分ずらす。その結果、各 ADC は、少なくともマスタークロック信号 CK の 1 パルス分ずれたタイミングで動作することになり、連続する 2 つのフレームにおいて、同一の ADC が画面上の同一の画素をサンプリングすることがなくなる。

図 3 は、図 1 に示す画像用 ADC 10 において $N = 3$ とした場合におけるサンプリング周期可変時の各部の信号波形を示すタイミングチャートである。多相クロック信号生成回路 12 は、マスタークロック信号及びサンプリング制御信号に基づいて、第 1 の ADC、第 2 の ADC、第 3 の ADC を巡回的に動作させるために用いる多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ を生成する。第 1 の ADC、第 2 の ADC、第 3 の ADC を
15 巡回させる周期は、サンプリング制御信号によって制御される。

ここで、第 1 の ADC、第 2 の ADC、第 3 の ADC を巡回させる周期をフレーム毎に変化させることにより、全ての画素が常に同一の ADC でサンプリングされことがなくなり、画面上のムラが時間的に平均化されるので、視覚的に認識されなくなる。

20 以下に、本実施形態において用いるサンプリング制御方法について説明する。以下の説明においては、1 フレーム中のサンプリング回数、即ち、(1 ライン中の画素数) \times (1 フレーム中のライン数) を M とし、ADC の並列度、即ち、並列動作する ADC の数を N とする (M、N は 2 以上の整数)。また、M を N で割った余りを K とする ($K = M \bmod N$)。

まず、第 1 のサンプリング制御方法について説明する。K = 0 となる

場合に、 $(M+L)$ を N で割った余りが 0 とならない L を求め、1 フレーム中でマスタークロック信号の L 個のパルス分だけサンプリングのタイミングをずらす。このようにすることで、少なくとも連続する 2 つのフレーム間で同一の並列 ADC が同位置の画素をサンプリングすること 5 はなくなるため、並列動作する ADC が 2 個以上の場合において、少なくとも 2 個の ADC による平均化の効果が得られる。

次に、第 2 のサンプリング制御方法について説明する。 $K = 0$ となる場合、又は、 $K \neq 1$ かつ N が K で割り切れる ($N \bmod K = 0$) 場合に、 $(M+L)$ を N で割ったときの余りを J として ($J = (M+L) 10 \bmod N$)、 $J \neq 0$ でかつ N と J が互いに素となる L を求め、1 フレーム中でマスタークロック信号の L 個のパルス分だけサンプリングのタイミングをずらす。例えば、 $M = 1688$ 、 $N = 8$ のときに、この条件を満たす L は、1、3、5、7 の 4 つである。このようにすることで、並列動作する ADC が N 個の場合において、 N 個の ADC による平均化 15 の効果が得られる。

次に、第 3 のサンプリング制御方法について説明する。0 ~ $(N-1)$ までの整数を生成する擬似乱数生成回路を用意する。第 i 番目のフレームにおける擬似乱数生成回路の出力を $L(i)$ とすると、このフレーム中でマスタークロック信号の $L(i)$ 個のパルスの分だけサンプリングのタイミングをずらす。次の第 $(i+1)$ 番目のフレームにおける擬似乱数生成回路の出力を $L(i+1)$ とすると、このフレーム中でマスタークロック信号の $L(i+1)$ 個のパルスの分だけサンプリングのタイミングをずらす。

このようにすれば、同一画素をサンプリングする並列 ADC のサンプリング順序を、少なくとも擬似乱数の周期の範囲内において時間的に不規則にすることができるため、先に述べた第 1 及び第 2 のサンプリング 25

制御方法とは異なり、ほぼ規則的でない平均化の効果が得られる。

次に、本実施形態に係る半導体集積回路の第1の変形例について、図4及び図5を参照しながら説明する。

図4に示すように、この半導体集積回路は、画像用ADC30と、サンプリング制御信号生成回路40とを含んでいる。画像用ADC30は、並列動作する第1～第NのADC11と、これらのADC11がサンプリングを行うタイミングを規定する多相クロック信号を生成する多相クロック信号生成回路31と、これらのADC11の出力信号の内から1つの出力信号を選択する選択回路13とを有している。多相クロック信号生成回路31は、内部にカウンタ32を含み、マスタークロック信号、位相制御数、サンプリング制御信号に基づいて、多相クロック信号を生成する。

サンプリング制御信号生成回路40は、制御フラグと、垂直同期信号VSYNCとにに基づいて、サンプリング制御信号を生成する。即ち、サンプリング制御信号生成回路40は、制御フラグが立っている場合に、垂直同期信号VSYNCの遷移エッジを基準としてサンプリング制御信号を生成し、そのサンプリング制御信号を画像用ADC30に供給する。なお、垂直同期信号VSYNC以外に、水平同期信号HSYNC、又は、垂直同期信号VSYNC若しくは水平同期信号HSYNCに同期する他の信号を用いるようにしても良い。

画像用ADC30において、多相クロック信号生成回路31内のカウンタ32は、マスタークロック信号をカウントすると共に、多相クロック信号を生成するための状態をカウンタ値として記憶している。カウンタ32は、サンプリング制御信号に応答して、位相制御数に設定されている数だけカウンタ値を変化させる。これにより、多相クロック信号生成回路31は、多相クロック信号の位相を変化させる。

図5は、図4に示す画像用ADC30においてN=3とした場合における、各部の信号波形を示すタイミングチャートである。サンプリング制御信号生成回路40は、垂直プランキング期間等において制御フラグが立っている場合に垂直同期信号VSYNCのエッジが遷移すると、サンプリング制御信号をハイレベルにする。画像用ADC30において、多相クロック信号生成回路31内のカウンタ32は、マスタークロック信号CKをカウントすると共に、サンプリング制御信号がハイレベルになると、位相制御数に設定されている数だけカウンタ値を変化させる。その結果、多相クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の位相が、図5に示すように変化する。なお、図5においては、位相制御数を「1」としている。

この例によれば、トータルのサンプリング回数は変化しないので、タイミング的に余裕があれば、プランキング期間以外においてもサンプリング制御を行うことが可能である。

次に、本実施形態に係る半導体集積回路の第2の変形例について、図6及び図7を参照しながら説明する。

図6に示すように、この半導体集積回路は、画像用ADC50と、カウンタ60とを含んでいる。画像用ADC50は、並列動作する第1～第NのADC11と、これらのADC11がサンプリングを行うタイミングを規定する多相クロック信号を生成する多相クロック信号生成回路51と、これらのADC11の出力信号の内から1つの出力信号を選択する選択回路13とを有している。多相クロック信号生成回路51は、内部にカウンタ52を含み、マスタークロック信号、位相制御数、サンプリング制御信号に基づいて、多相クロック信号を生成する。

カウンタ60は、マスタークロック信号と、制御フラグとに基づいて、サンプリング制御信号を生成する。即ち、カウンタ60は、制御フラグが立っている場合にマスタークロック信号の数をカウントし、所定の周

期ごとにサンプリング制御信号を生成して画像用ADC50に供給する。

画像用ADC50において、多相クロック信号生成回路51内のカウンタ52は、マスタークロック信号をカウントすると共に、多相クロック信号を生成するための状態をカウンタ値として記憶している。カウンタ52は、サンプリング制御信号に応答して、位相制御数に設定されている数だけカウンタ値を変化させる。これにより、多相クロック信号生成回路51は、多相クロック信号の位相を変化させる。

図7は、図6に示す画像用ADC50においてN=3とした場合における、各部の信号波形を示すタイミングチャートである。カウンタ60は、制御フラグが立っている場合に、マスタークロック信号CKをカウントして、所定の周期ごとにサンプリング制御信号をハイレベルにする。画像用ADC50において、多相クロック信号生成回路51内のカウンタ52は、サンプリング制御信号がハイレベルになると、位相制御数に設定されている数だけカウンタ値を変化させる。その結果、多相クロック信号 ϕ 1、 ϕ 2、 ϕ 3の位相が、図7に示すように変化する。なお、図7においては、位相制御数を「1」としている。

次に、本発明の第2の実施形態について説明する。

図8は、本発明の第2の実施形態に係る半導体集積回路の構成を示すブロック図である。図8に示すように、この半導体集積回路は、画像用ADC70と、クロック信号制御回路80とを含んでいる。画像用ADC70は、並列動作する第1～第NのADC11と、これらのADC11を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路71と、これらのADC11の出力信号の内から1つの出力信号を選択する選択回路13とを有している。

クロック信号制御回路80は、マスタークロック信号、制御フラグ、位相制御数、垂直同期信号VSYNCに基づいて、多相クロック信号生

成回路 7 1 にクロック信号を供給する。ここで、クロック信号制御回路 8 0 は、制御フラグが立っている場合に、垂直同期信号 V S Y N C の遷移エッジを基準として、位相制御数で設定された数だけパルスを抑制した信号をマスタークロック信号から作り出し、その信号をクロック信号 5 として多相クロック信号生成回路 7 1 に供給する。なお、垂直同期信号 V S Y N C 以外に、水平同期信号 H S Y N C 、又は、垂直同期信号 V S Y N C 若しくは水平同期信号 H S Y N C に同期する他の信号を用いるよう 10 にしても良い。

画像用 A D C 7 0 において、多相クロック信号生成回路 7 1 は、クロ 15 10 ック信号制御回路 8 0 から供給されるクロック信号に基づいて、第 1 ～ 第 N の A D C 1 1 を順に動作させるための多相クロック信号を生成し、これらの A D C 1 1 に供給する。

図 9 は、図 8 に示す画像用 A D C 7 0 において N = 3 とした場合における、各部の信号波形を示すタイミングチャートである。クロック信号 20 15 制御回路 8 0 は、垂直ブランкиング期間において制御フラグが立っている場合に、垂直同期信号 V S Y N C の遷移エッジから位相制御数によって設定された数だけマスタークロック信号 C K のパルスを抑制した信号を生成し、その信号をクロック信号として、画像用 A D C 7 0 の多相クロック信号生成回路 7 1 に供給する。多相クロック信号生成回路 7 1 は、 25 そのクロック信号を受けて、第 1 の A D C 、第 2 の A D C 、第 3 の A D C を巡回的に動作させるための多相クロック信号 ϕ 1 、 ϕ 2 、 ϕ 3 を生成する。なお、図 9 においては、位相制御数を「 1 」としている。

このようにすることで、並列動作する複数の A D C による平均化の効果により、画面上のムラを低減することができる。しかしながら、 25 1 タルのサンプリング数が減少するので、画面に影響を与えないブランキング期間にこの動作を行う必要がある。

以上に述べた手法は、複数のADCをインターリーブ動作により並列化して使用する場合だけでなく、1つのADCを用いてアナログ画像信号をデジタル画像信号に変換する際に、アナログ/デジタル変換特性に影響を与える抵抗やコンデンサ等の回路素子（複数の回路素子が回路ブロックを構成する場合も含む）のばらつきの影響を抑えるために、複数の回路素子を順次切り換えること（スワッピング）によって出力結果を平均化するような場合にも有効である。ここで、回路ブロックとしては、差動アンプやオペアンプ等の増幅回路を用いることが可能である。また、パイプライン型ADCのように複数のステップでAD変換を行う

10 回路構成の場合には、サブADCやサブDACが回路ブロックとなる。

次に、このようなADCを用いた本発明の第3の実施形態について説明する。ここで、図10に示すように、抵抗値が等しくなるように設計した抵抗R1とR2を用いて電源電位V_{DD}を分圧して、電源電位V_{DD}の中点電位VMを生成する場合を考える。ただし、素子生成のばらつき15によって、実際にはR1=R2+ΔRとなっているものとする。図10の左側に示すように抵抗R1とR2が接続されている状態の中点電位VM1は、式（1）で表される。

$$VM1 = V_{DD} \frac{R2}{R1+R2} = V_{DD} \left(\frac{1}{2} - \frac{\Delta R}{2(2R2+\Delta R)} \right) \quad \dots(1)$$

一方、図10の右側に示すように、スイッチを切り換えて抵抗R1と20 R2の位置を逆にして接続した状態の中点電位VM2は、式（2）で表される。

$$VM2 = V_{DD} \frac{R1}{R1+R2} = V_{DD} \left(\frac{1}{2} + \frac{\Delta R}{2(2R2+\Delta R)} \right) \quad \dots(2)$$

従って、2つの状態を交互に切り換えて平均すれば、中点電位VMとして正確にV_{DD}/2を作り出すことが可能である。

図11は、本発明の第3の実施形態に係る半導体集積回路の構成を示すブロック図である。

図11に示すように、この半導体集積回路は、画像用ADC90と、スイッチング制御信号生成回路100とを含んでいる。画像用ADC90は、複数の回路素子を順次切り換えて用いてアナログ画像信号をデジタル画像信号に変換する。図11においては、第1～第Nの素子91と、これらの素子91を切り換えて第1～第Nのノードに接続するスイッチ92とを含むADC部を示す。

また、画像用ADC90には、マスタークロック信号と、スイッチング制御信号生成回路100から供給されるスイッチング制御信号とに基づいて、第1～第Nの素子91を周期的にある順序で配列するようにADC部を制御するために用いる多相制御信号を生成する多相制御信号生成回路93が設けられている。

このような画像用ADCにおいては、第1～第Nの素子91と第1～第Nのノードとの接続をスイッチ92で切り換えることにより、これらの素子のばらつきの影響を平均化することができる。しかしながら、画像用のADCにおいてこの手法を用いる場合には、画像信号の周期性により、複数のフレーム間において同一画素をAD変換する際に使用される素子の組合せが同じになってしまることがある。そのような場合には、平均化の効果が得られないため、画面上にムラが現れることになる。そこで、本発明の第1及び第2の実施形態において述べたのと同様の手法を用いて多相制御信号生成回路93を制御することにより、いかなる仕様の画像信号が入力されても、複数の素子のばらつきの影響を平均化して画面上のムラを改善することができる。

このため、スイッチング制御信号生成回路100は、ADC部が複数の回路素子を配列する周期又は順序を変更するように、多相制御信号生

成回路 9 3 を制御するために用いるスイッチング制御信号を生成する。

多相制御信号生成回路 9 3 は、マスタークロック信号と、スイッチング

制御信号生成回路 1 0 0 から供給されるスイッチング制御信号とに基づ

いて、多相制御信号の位相を変更する。スイッチ 9 2 は、多相制御信号

5 に従って、第 1 ～ 第 N の素子 9 1 と第 1 ～ 第 N のノードとの接続を変更

する。これにより、第 1 ～ 第 N の素子 9 1 のばらつきがランダムに平均

化されて、画面上のムラを改善することができる。

ここで、具体的な制御手法としては、本発明の第 1 の実施形態において述べたのと同様の手法を用いることができる。あるいは、本発明の第

10 2 の実施形態において述べたように、位相制御数で設定された数だけパ

ルスを抑制した信号をマスタークロック信号から作り出し、その信号を

クロック信号として多相制御信号生成回路 9 3 に供給するようにしても

良い。

以上述べたように、本発明によれば、複数の A D C をインターリープ

15 動作させて並列化し、又は、複数の回路素子を順次切り換えて用いる画

像用 A D C を含む半導体集積回路において、いかなる仕様の画像信号が

入力されても、画像用 A D C の出力信号を平均化して画面上のムラを改

善することができる。即ち、複数の A D C の出力がばらついていても、

画像表示装置上では 1 秒間に数十回の速度で表示し直すため、画面上の

20 ムラは時間的に平均化されて人間の目にはきれいに見える。

その結果、従来と同程度のばらつきの L S I を用いても、わずかな回

路の追加のみで、画像用 A D C の画質を改善することができる。また、

回路素子のばらつきの影響を小さくできるため、同程度の画質を出力す

ることができる従来の画像用 A D C に比べて回路素子の面積を小さくす

25 ることができ、これにより浮遊容量が低減して、より高速に動作させる

ことが可能となる。

産業上の利用可能性

本発明は、画像データ及び音声データを伝送する画像機器やコンピュータ等において利用することが可能である。

請 求 の 範 囲

1. アナログ画像信号をデジタル画像信号に順次変換するために並列動作を行う複数のアナログ/デジタル変換回路（11）と、
5 前記複数のアナログ/デジタル変換回路（11）を周期的にある順序で動作させるために用いる多相クロック信号を生成する多相クロック信号生成回路（12）と、
前記複数のアナログ/デジタル変換回路（11）を動作させる周期又は順序を変更するように前記多相クロック信号生成回路（12）を制
10 御する制御回路（20）と、
を具備する半導体集積回路。
2. 前記制御回路（20）が、デジタル画像信号の1フレーム中の画素数と前記アナログ/デジタル変換回路の数に基づいて、少なくとも連続する2フレーム間の画素について、前記複数のアナログ/デジ
15 タル変換回路（11）が同一の周期又は同一の順序で変換することが無いように前記多相クロック信号生成回路（12）を制御する、請求項1記載の半導体集積回路。
3. 前記アナログ/デジタル変換回路の数をNとするときに、前記制
御回路（20）が、デジタル画像信号の1フレーム中の画素数と前記
20 アナログ/デジタル変換回路の数に基づいて、連続するNフレーム間の画素について、前記複数のアナログ/デジタル変換回路（11）
が同一の周期又は同一の順序で変換することが無いように前記多相クロ
ック信号生成回路（12）を制御する、請求項2記載の半導体集積回路。
4. 前記アナログ/デジタル変換回路の数をNとするときに、前記制
御回路（20）が、少なくともN個の整数を発生する擬似乱数生成回路
25 の出力に基づいて、前記複数のアナログ/デジタル変換回路（11）

のサンプリング動作のタイミングをずらすように前記多相クロック信号生成回路（12）を制御する、請求項1記載の半導体集積回路。

5. 前記多相クロック信号生成回路（12）が、マスタークロック信号をカウントすると共に、多相クロック信号を生成するためのカウント値
5 を記憶し、

前記制御回路（20）が、前記多相クロック信号生成回路に記憶されているカウント値を所定の時期に変更することにより前記多相クロック信号生成回路（12）を制御する、請求項1記載の半導体集積回路。

6. 前記多相クロック信号生成回路（12）が、マスタークロック信号
10 をカウントすると共に、多相クロック信号を生成するためのカウント値を記憶し、

前記制御回路（20）が、マスタークロック信号をカウントして得られたカウント値に基づいて、前記多相クロック信号生成回路に記憶されているカウント値を所定の周期で変更することにより前記多相クロック
15 信号生成回路（12）を制御する、請求項1記載の半導体集積回路。

7. 前記制御回路（20）が、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力し、

前記多相クロック信号生成回路（12）が、前記制御回路（20）が
出力するクロック信号をカウントして得られたカウント値に基づいて、
20 前記多相クロック信号を生成する、請求項1記載の半導体集積回路。

8. 前記制御回路（20）が、ディジタル画像信号のブランкиング期間において、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力する、請求項7記載の半導体集積回路。

9. 複数の回路素子を順次切り換えて用いてアナログ画像信号をディジ
25 タル画像信号に変換するアナログ/ディジタル変換回路（11）と、
前記アナログ/ディジタル変換回路が前記複数の回路素子を周期的に

ある順序で配列するように前記アナログ／ディジタル変換回路（11）を制御する第1の制御回路（31、71）と、

前記アナログ／ディジタル変換回路が前記複数の回路素子を配列する周期又は順序を変更するように前記第1の制御回路（31、71）を制御する第2の制御回路（40、80）と、
5 を具備する半導体集積回路。

10. 前記第2の制御回路（40、80）が、ディジタル画像信号の1フレーム中の画素数と前記回路素子の数に基づいて、少なくとも連続する2フレーム間の画素について、前記アナログ／ディジタル変換回路
10 が前記複数の回路素子を同一の周期又は同一の順序で配列することが無いように前記第1の制御回路（31、71）を制御する、請求項9記載の半導体集積回路。

11. 前記回路素子の数をNとするときに、前記第2の制御回路（40、80）が、ディジタル画像信号の1フレーム中の画素数と前記回路素子
15 の数に基づいて、連続するNフレーム間の画素について、前記アナログ／ディジタル変換回路が前記複数の回路素子を同一の周期又は同一の順序で配列することが無いように前記第1の制御回路（31、71）を制御する、請求項10記載の半導体集積回路。

12. 前記第1の制御回路（31）が、マスタークロック信号をカウントすると共に、前記アナログ／ディジタル変換回路を制御するために用
20 いる多相の制御信号を生成するためのカウント値を記憶し、

前記第2の制御回路（40）が、前記第1の制御回路に記憶されているカウント値を所定の時期に変更することにより前記第1の制御回路を制御する、請求項9記載の半導体集積回路。

25 13. 前記第1の制御回路（31）が、マスタークロック信号をカウントすると共に、前記アナログ／ディジタル変換回路（11）を制御する

ために用いる多相の制御信号を生成するためのカウント値を記憶し、

前記第2の制御回路（40）が、マスタークロック信号をカウントして得られたカウント値に基づいて、前記第1の制御回路に記憶されているカウント値を所定の周期で変更することにより前記第1の制御回路
5 (31) を制御する、請求項9記載の半導体集積回路。

14. 前記第2の制御回路（80）が、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力し、

前記第1の制御回路（71）が、前記第2の制御回路（80）が出力するクロック信号をカウントして得られたカウント値に基づいて、前記
10 アナログ／ディジタル変換回路（11）を制御するために用いる多相の制御信号を生成する、請求項9記載の半導体集積回路。

15. 前記第2の制御回路（80）が、ディジタル画像信号のブランкиング期間において、マスタークロック信号に含まれる所定数のパルスを抑制したクロック信号を出力する、請求項14記載の半導体集積回路。

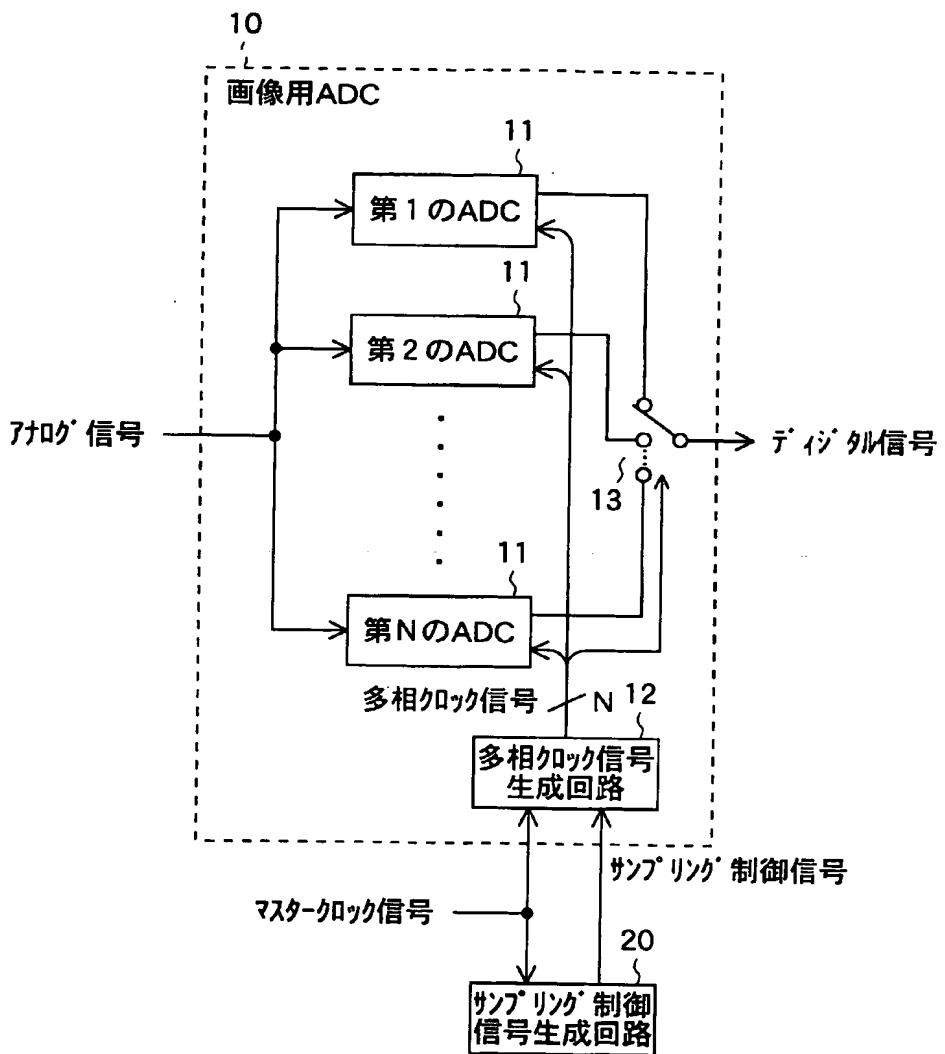
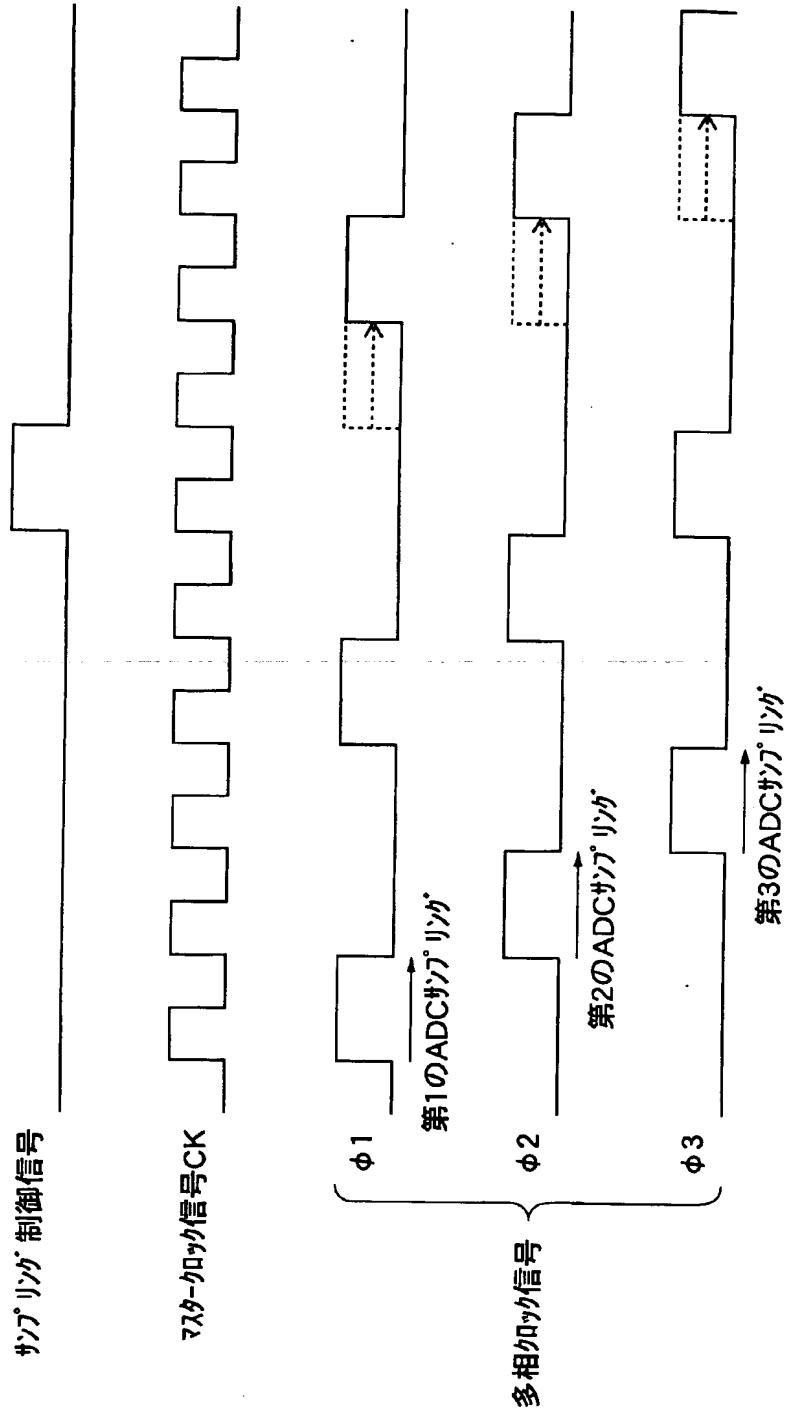
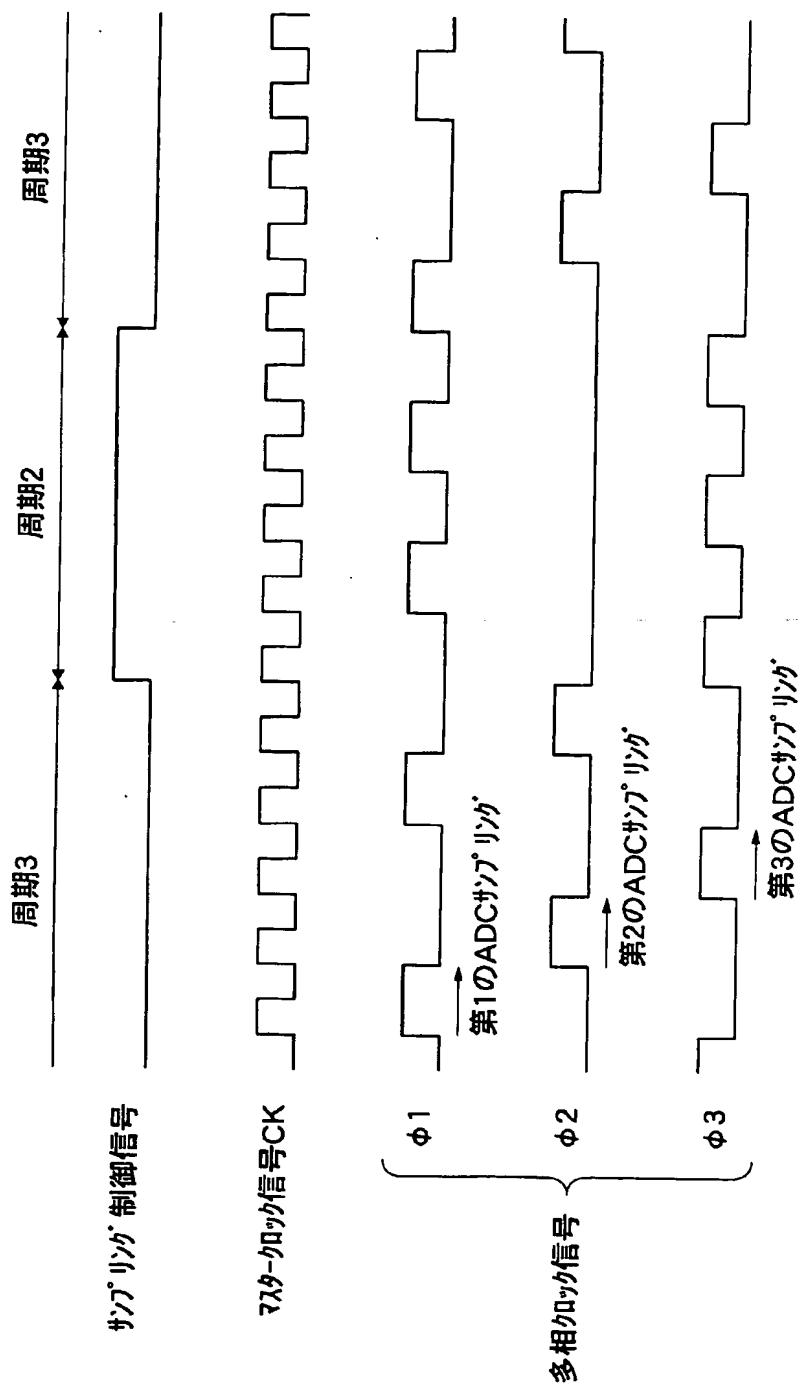
1/13
FIG.1

FIG.2

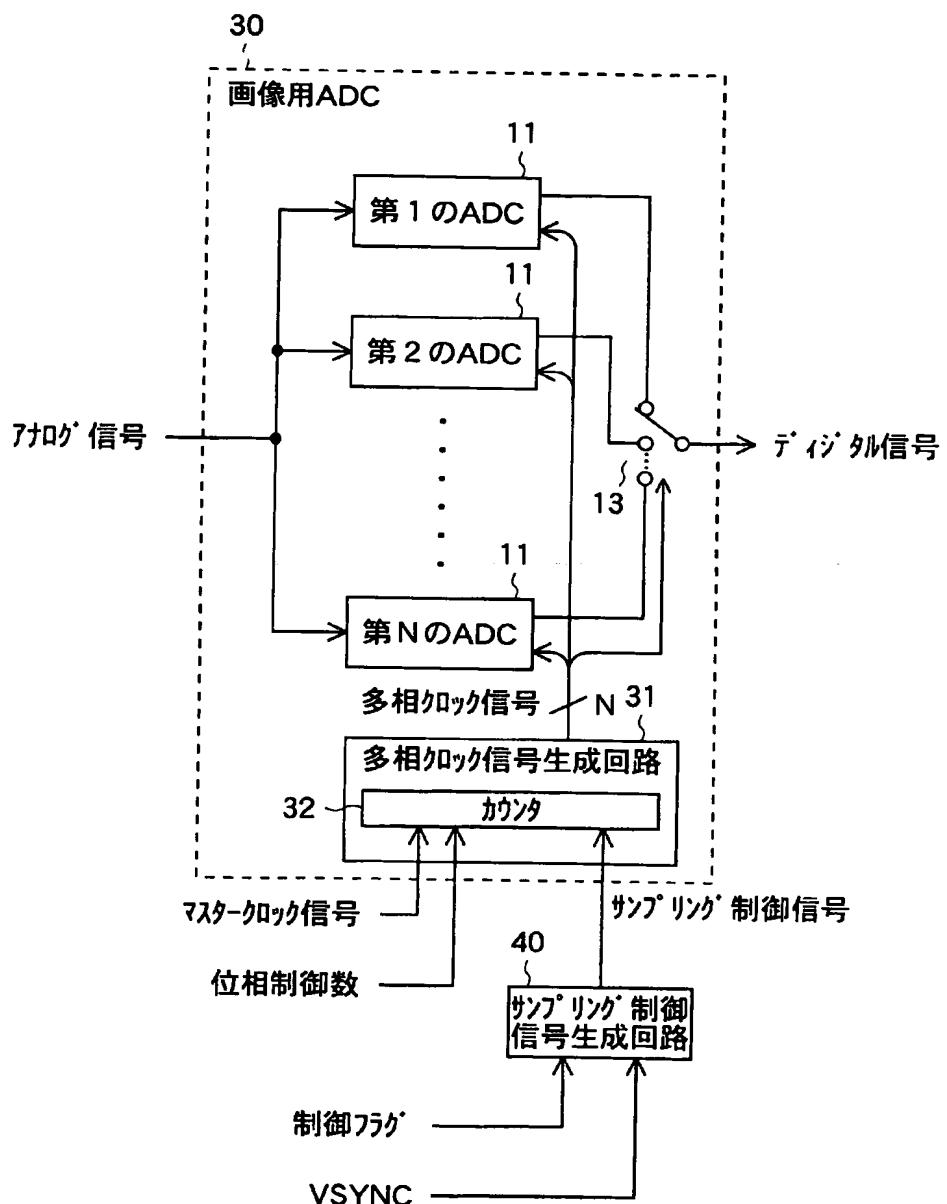


3/13

FIG.3

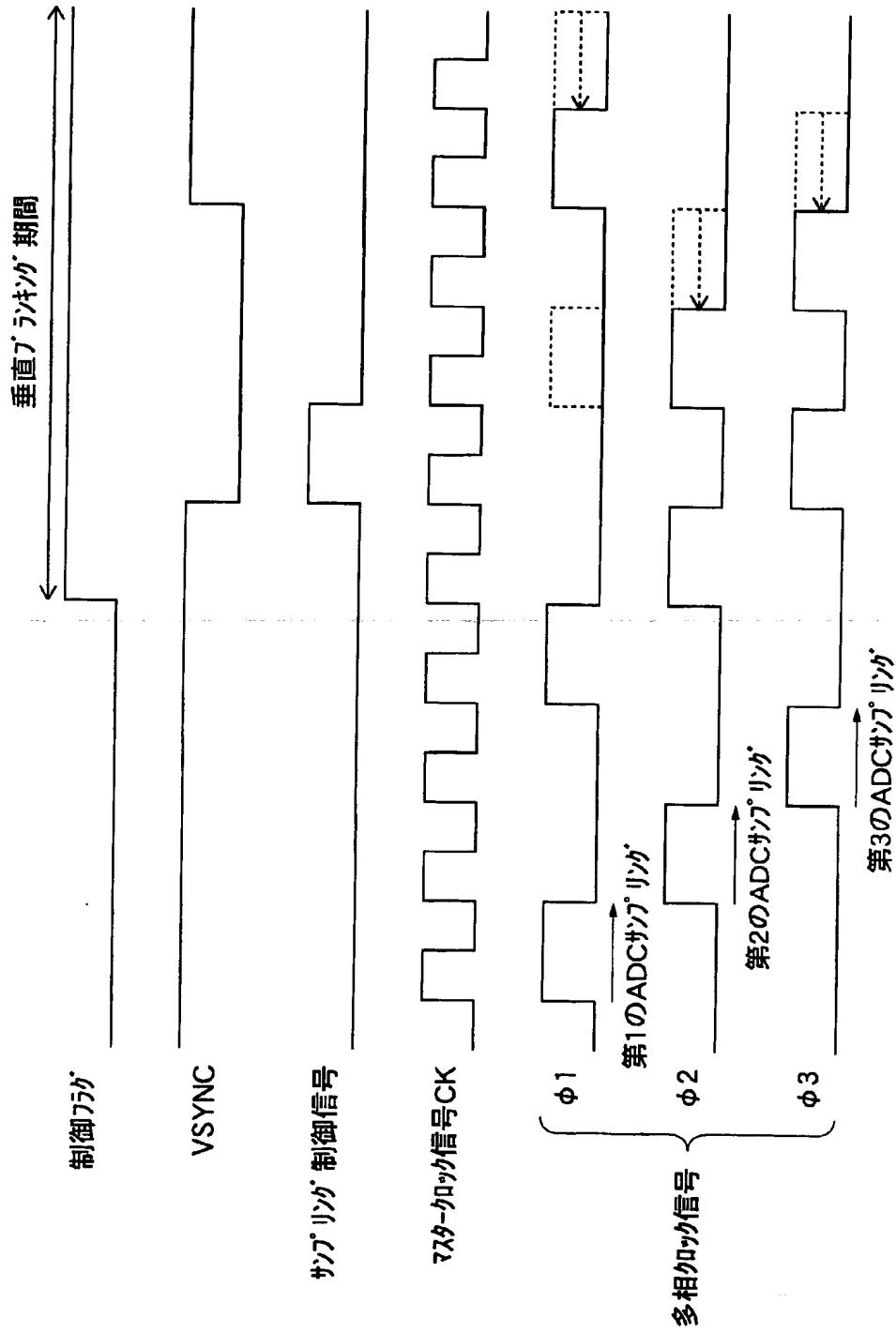


4/13
FIG.4

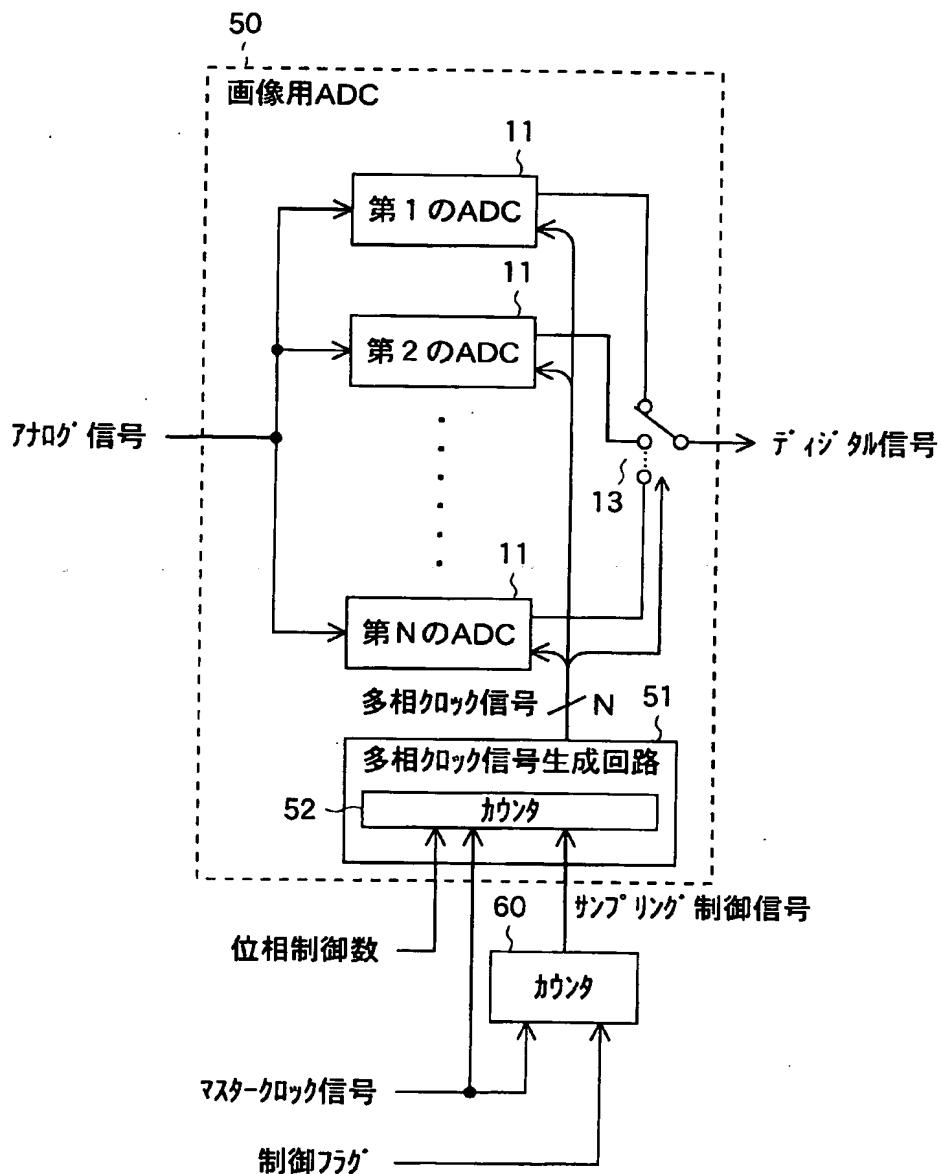


5/13

FIG.5

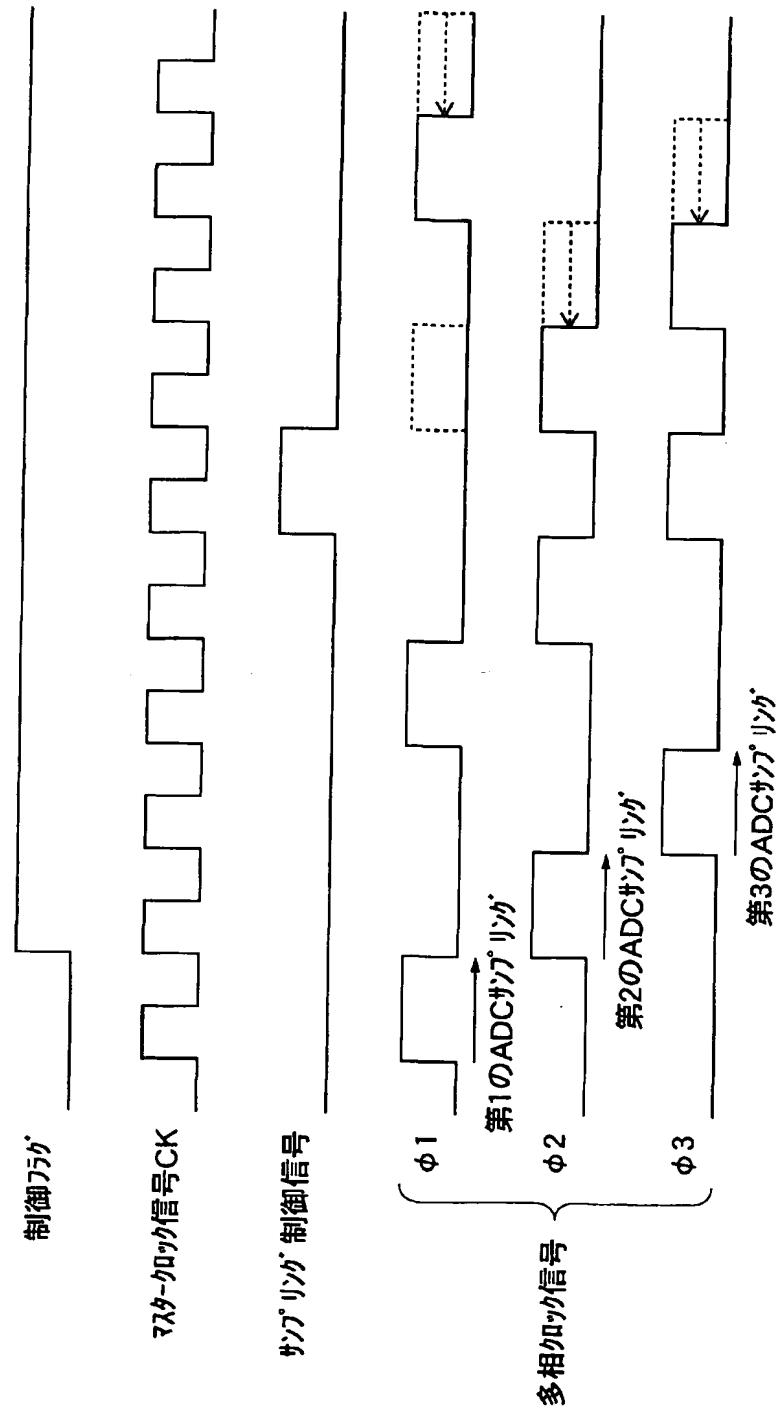


6/13
FIG.6

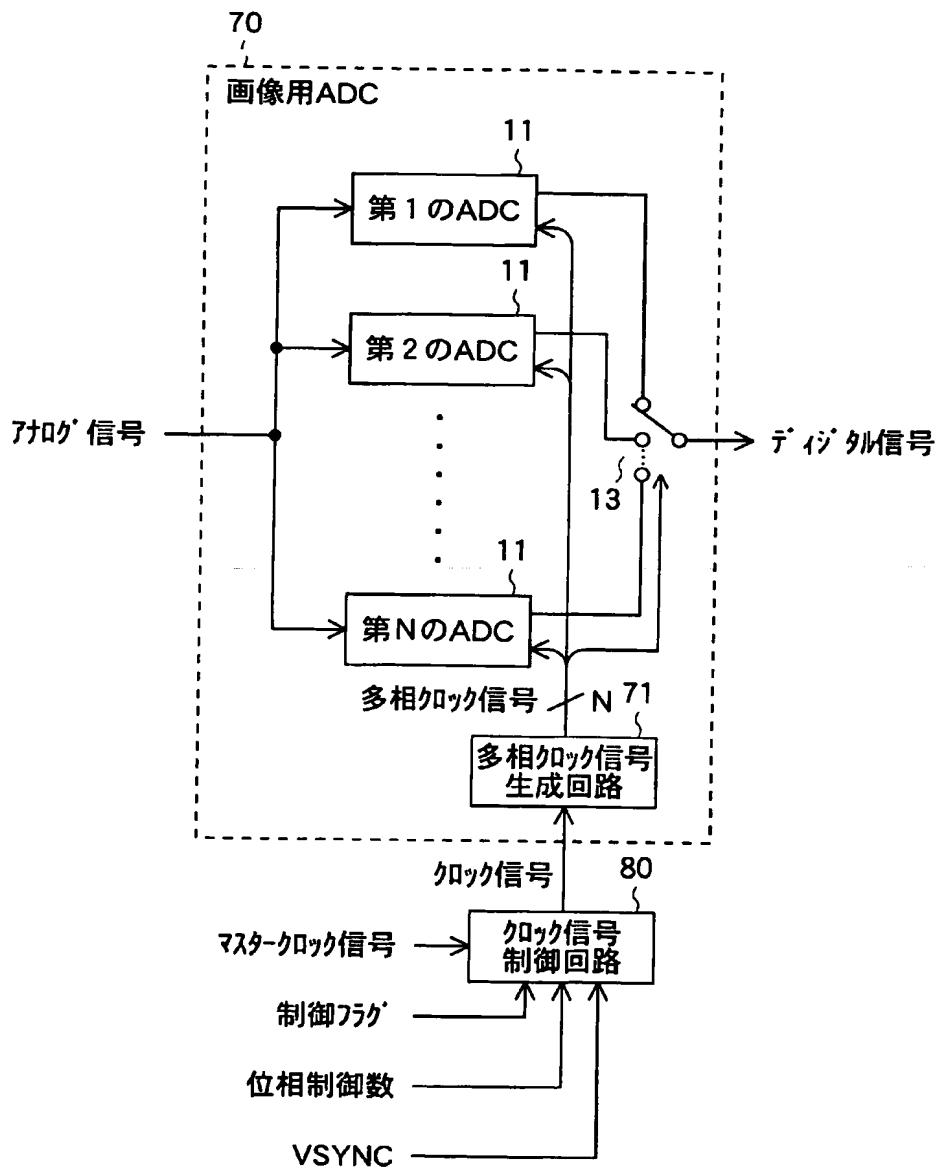


7/13

FIG.7

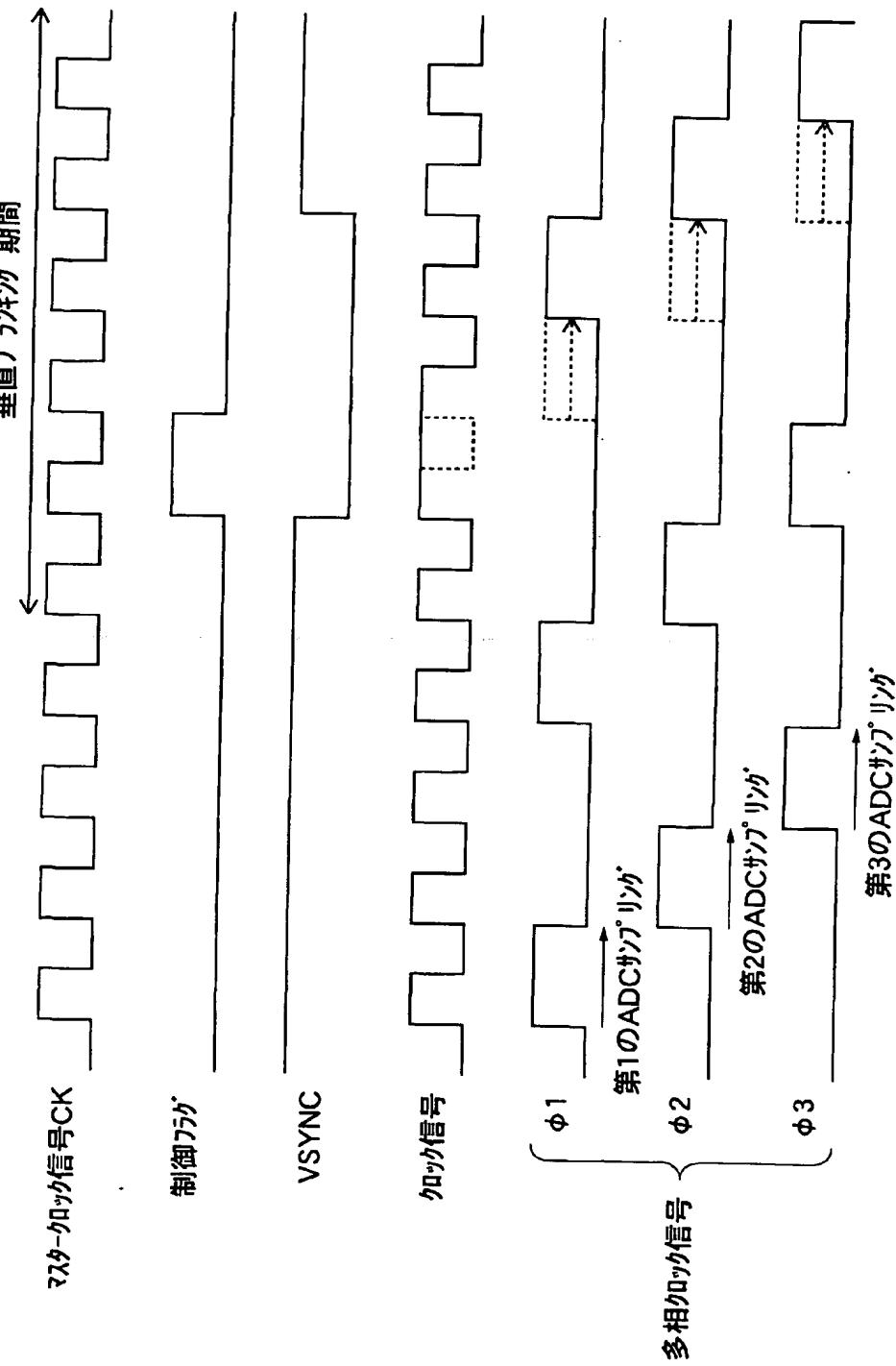


8/13
FIG.8

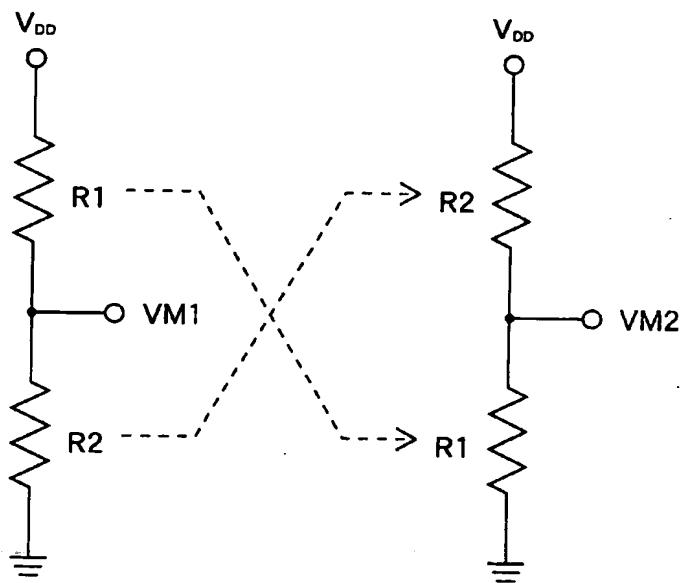


9/13

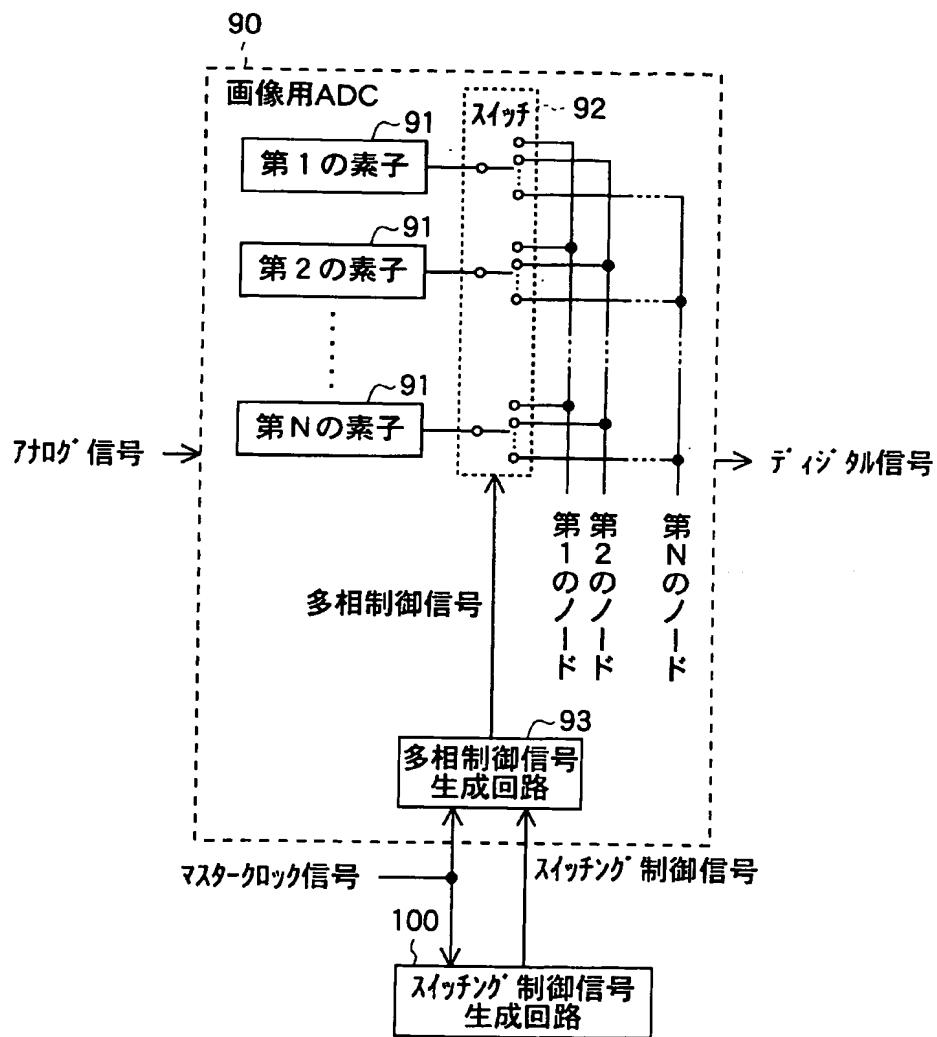
FIG.9

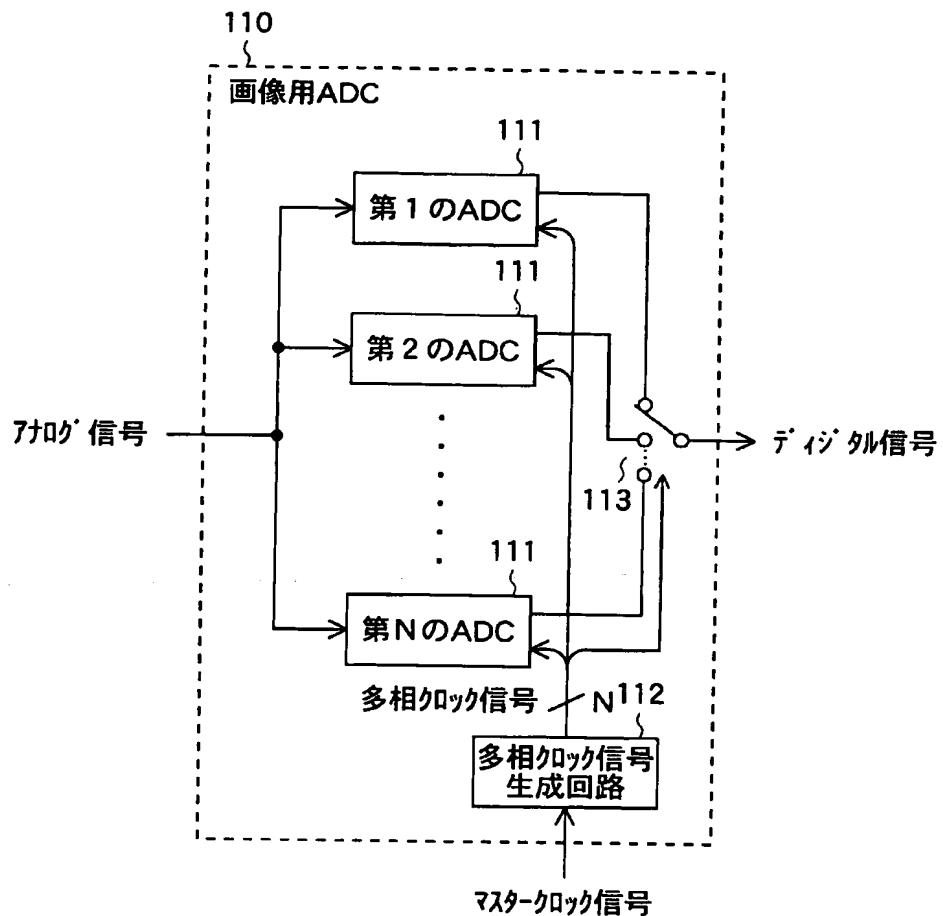


10/13
FIG.10



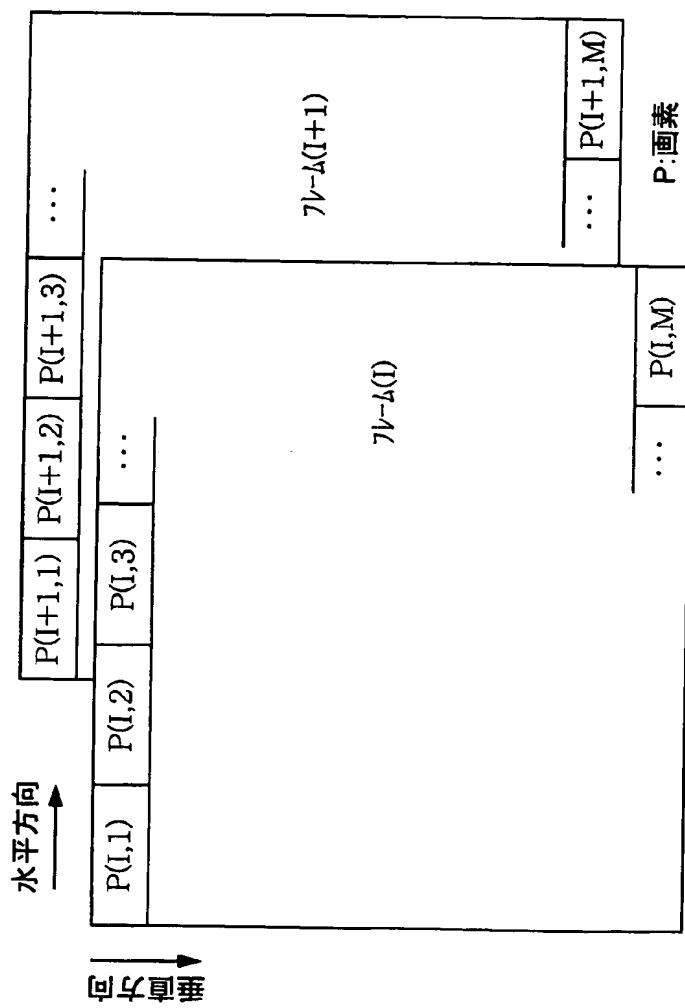
11/13
FIG.11



12/13
FIG.12

13/13

FIG.13



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/03240A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03M1/06, H03M1/12, H04N5/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03M1/00, H04N5/00, H04N7/00Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho (Y1, Y2) 1922-1996 Toroku Jitsuyo Shinan Koho (U) 1994-2003
Kokai Jitsuyo Shinan Koho (U) 1971-2003 Jitsuyo Shinan Toroku Koho (Y2) 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 3-46883 A (Shimadzu Corp.), 28 February, 1991 (28.02.91),	1-8
Y		9,12-14
A	Full text; all drawings (Family: none)	10,11,15
Y	JP 11-31969 A (Mitsubishi Electric Corp.), 02 February, 1999 (02.02.99), Fig. 1; Par. Nos. [0114] to [0117] & US 595031 A	9,12-14
A		10,11,15

 Further documents are listed in the continuation of Box C. See patent family annex.

Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search 20 May, 2003 (20.05.03)	Date of mailing of the international search report 03 June, 2003 (03.06.03)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/03240

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:

because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-8 relate to an interleave AD supplied with an image signal while the inventions of claims 9-14 relate to an AD having an internal segment element supplied with an image signal.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.